

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-49359

(P 2 0 0 2 - 4 9 3 5 9 A)

(43) 公開日 平成14年2月15日 (2002.2.15)

(51) Int. Cl. ⁷	識別記号	F I	テ-マ-ド (参考)
G09G 3/36		G09G 3/36	2H093
G02F 1/133	550	G02F 1/133	550 5C006
G09G 3/20	621	G09G 3/20	621 M 5C080
	623		623 V

審査請求 未請求 請求項の数10 O L (全8頁)

(21) 出願番号 特願2000-234437 (P 2000-234437)

(22) 出願日 平成12年8月2日 (2000.8.2)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 岡田 隆史

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 西谷 幹彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

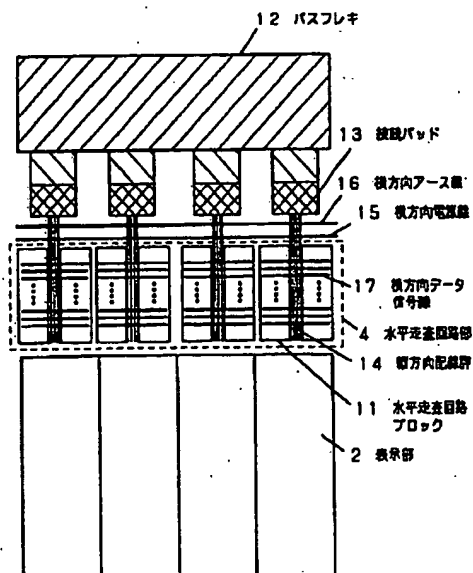
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス液晶表示素子

(57) 【要約】

【課題】 駆動回路一体型液晶表示素子において、高い表示品位を保ったまま、パネル額縁サイズを最小限に抑制し、かつ低消費電力の駆動回路一体型液晶表示素子を実現すること。

【解決手段】 水平走査回路をデータ線分割数だけブロック分けし、各ブロックごとに独立してデータ信号を入力する。



【特許請求の範囲】

【請求項1】基板上に複数の画像信号線と、前記画像信号線を駆動するための水平走査回路と、を備えたアクティブマトリクス液晶表示素子であって、前記水平走査回路はガラス基板上に一体形成され、前記水平走査回路は画像入力信号であるNビットのデジタルデータを一時保持するためのデータラッチ回路と、前記データラッチ回路に順次データを保持させるためのタイミング信号を供給するシフトレジスタ回路と、前記データラッチ回路で一時保持されたデジタルデータをアナログ電圧に変換するD/Aコンバータ回路と、を具備することを特徴とするアクティブマトリクス液晶表示素子。

【請求項2】前記水平走査回路をデータ線分割数だけブロック分けし、各水平走査回路ブロックごとに独立してデータ信号を入力することを特徴とする請求項1記載のアクティブマトリクス液晶表示素子。

【請求項3】前記水平走査回路ブロックをさらに中央で2分割して一定の領域を隔てて配置し、中央部の空き領域に上方から縦方向にデータ線、ラッチパルス線、電源線等の入力配線を配置し、さらに左右の横方向に前記入力配線を配置することにより、前記水平走査回路に各入力信号を供給することを特徴とする請求項2記載のアクティブマトリクス液晶表示素子。

【請求項4】前記水平走査回路のうち、前記データラッチ回路、及び前記D/Aコンバータ回路から構成される、1画素を駆動する水平走査回路ユニットを、2画素分に相当する幅内に配置し、かつ前記ユニットを縦方向に2段に縦積み構造として配置することを特徴とする請求項1記載のアクティブマトリクス液晶表示素子。

【請求項5】隣接する複数の画素をそれぞれ駆動する複数の前記水平走査回路ユニットのうち、1段分の前記シフトレジスタ回路が同時にラッチする複数の前記水平走査回路ユニットは、前記縦積み構造として上下段にまたがって配置せずに、上段、または下段のみに隣接して配置することを特徴とする請求項1記載のアクティブマトリクス液晶表示素子。

【請求項6】1段分の前記シフトレジスタ回路に対応する一対の正相、逆相出力配線を、前記シフトレジスタ回路が同時にラッチする前記水平走査回路ユニット全体が占める横方向領域内に一対の割合で縦方向に配線し、各ビットに対応する前記データラッチ回路の配置されている縦方向の各位置から、さらに横方向に配線することによって、前記データラッチ回路に前記タイミング信号を供給することを特徴とする請求項1記載のアクティブマトリクス液晶表示素子。

【請求項7】電源線及びアース線を、前記水平走査回路ユニットの上端又は下端に横方向に配線し、前記水平走査回路ユニットが、ある一定の数だけ占める横方向領域内に一対の割合で縦方向に配線し、前記水平走査回路ユニットを構成するインバータ素子等の配置されている縦

方向の各位置から、さらに横方向に配線することによって、前記インバータ素子等に電源を供給することを特徴とする請求項1記載のアクティブマトリクス液晶表示素子。

【請求項8】1段分の前記シフトレジスタ回路が同時にラッチする前記水平走査回路ユニットの数をNa個とし、Nbを整数値と置いたとき、前記水平走査回路ユニットが、 $2 \times Na \times Nb$ 個だけ占める横方向領域内に一対の割合で、前記電源線及びアース線を縦方向に配線することを特徴とする請求項6記載のアクティブマトリクス液晶表示素子。

【請求項9】 $2 \times Na \times Nb$ 個の前記水平走査回路ユニットを、レイアウト配置上の繰り返しに対する一つの構造単位とし、前記構造単位を隣接して繰り返し配置させることにより、前記水平走査回路ブロックの1つを構成することを特徴とする請求項1記載のアクティブマトリクス液晶表示素子。

【請求項10】前記Na、Nbを用い、さらに全水平方向画素数をNc、データ線分割数をNdと置くと、 $2 \times Na \times Nb \times Ne = Nc / Nd$ を満たすNeが整数値となるように、整数値Nbを設定することを特徴とする請求項1記載のアクティブマトリクス液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ポリシリコンプロセス等を用いて内部駆動回路をガラス基板上に一体形成して成る、いわゆる駆動回路一体型液晶表示素子に関するものである。

【0002】

【従来の技術】近年、液晶表示素子の低価格化、高信頼性化を図るため、ポリシリコンプロセスを用いて内部駆動回路をガラス基板上に一体形成する、駆動回路一体型液晶表示素子の開発が盛んに行われている。

【0003】この種の素子はポリシリコンプロセスを用いて形成したトランジスタの性能が、単結晶シリコン上に形成したトランジスタの性能に比べて劣るために、駆動回路サイズが大きくなるという欠点があるため、主に点順次駆動用の、簡潔な駆動回路が現在広く用いられている。しかしながら、前記点順次駆動方式では、データを液晶に書き込む時間がもともと短いために、画素数の多い大型液晶表示素子には不向きで、主に中、小型に用いられている。

【0004】一方大型に対し、駆動回路一体型液晶表示素子を適用しようという検討も近年進んでおり、そのためには、一般の、液晶駆動用ドライバICに用いられているような、データ書き込み時間が十分にとれる、デジタル線順次駆動回路を採用する必要がある。この方式の場合、入力デジタル信号をアナログ信号に変換する、いわゆるD/Aコンバータを必要とする。D/Aコンバータの方式は何種類か存在するが、例えばR-2Rラダー

型D/Aコンバータのように、抵抗体を重み素子として用いる方式が、汎用のICとしては一般的によく用いられている。

【0005】

【発明が解決しようとする課題】しかしながら、デジタル線順次駆動回路を、ポリシリコンプロセスなどを用いた駆動回路一体型液晶表示素子に採用する場合、薄膜トランジスタ素子の駆動能力の不足と回路規模が大ききことによって薄膜トランジスタ素子、及び配線の配置方法の制約が大きくなり、その結果、配線が必要以上に長くなることによる配線遅延の増大を引き起こすという課題が生じる。配置における具体的な制約は、基本的に、水平走査駆動回路はカラム（ソース線あるいは画像信号線ともいう）数分必要であり、1カラム分の駆動回路は1画素幅という非常に狭い幅内に配置する必要があるため、1つの駆動回路の形状が縦長にならざるを得ないという点に起因するものである。

【0006】本発明はこの点に鑑み、水平走査回路の配置構成、及び配線の配置構成に工夫を施すことにより、高い表示品位を保ったまま、パネル額縁サイズを最小限に抑制し、かつ低消費電力の駆動回路一体型アクティブマトリクス液晶表示素子を実現することを目的とするものである。

【0007】

【課題を解決するための手段】本発明の駆動回路一体型アクティブマトリクス型液晶表示素子は、パネル額縁サイズ、及び消費電力を最小限に抑制するために水平走査回路の配置構成、及び配線の配置構成に工夫を施したものである。

【0008】本発明は、水平走査回路をデータ線分割数分だけブロック分けし、各ブロックごとに独立してデータ信号を入力するものである。

【0009】ここで例えば、デジタルデータを4分割する場合を考える。線順次駆動方式の場合、データ分割数は、画素数によって自動的に決定されるドット周期と、水平走査回路を構成する薄膜トランジスタの性能とで決まる。ポリシリコン等からなる薄膜トランジスタの性能は、単結晶シリコンからなるMOSトランジスタに比べて劣るため、データ線を分割してパラレル転送することで、ラッチ回路に書き込む期間を長くとれるようにする必要がある。

【0010】ここでデータ線本数は分割なしの場合でも、6ビット×3RGBで18本必要であり、4分割ではさらに4倍の72本必要となる。この場合、通常では左端の1画素目（RGB込み）に対応するデータラッチ回路から順番に、1分割目のデータ線からのデータを書き込み、右隣の2画素目には2分割目のデータ線からのデータを書き込み、4分割目までくれば再度1分割目に戻り、これを繰り返していくことで、全画素にデータを書き込んでいく。しかしこの場合は、72本のデータ線

が全て全領域の水平走査回路に対して、横方向に配置され、線間/線幅がそのまま縦方向の回路規模に影響することにより、パネル額縁が増大するという問題が発生する。さらに、データ線間のクロス容量が大ききことにより消費電力も増大する。

【0011】一方、本発明の方法の場合、水平走査回路をデータ線分割数分だけブロック分けし、各ブロックごとに独立してデータ信号を入力するので、1ブロック目の画素は全て1分割目のデータ線から書き込み、2ブロック目の画素は全て2分割目のデータ線から書き込むというようにするため、1ブロック目に対応する水平走査回路の規模に対しては、1分割目のデータ線のみしか影響せず、かつクロス容量も小さくなるので額縁、消費電力共に低減できる。ただし、このような方式を行うためには、水平走査回路にデータを入力する前の外部回路の段階でデータを並べ替える必要があり、その分の消費電力は増えるが、総合して比較した場合、本発明の方法を用いた方が消費電力は低減される。

【0012】一方、本発明の方法を用いた場合に懸念される点としては、ブロック分けした際の、ブロック間のつなぎ目付近の画質の不均一である。この対策としては、ブロックをさらに中央で2分割して一定の領域を隔てて配置し、中央部の空き領域に上方から縦方向にデータ線、ラッチパルス線、電源線等の入力配線を配置し、さらに左右の横方向に前記入力配線を配置することにより、ブロックの端における画質劣化を見えにくくすることが効果的である。

【0013】本発明ではさらに、水平走査回路のうち、データラッチ回路、及びD/Aコンバータ回路から構成される、1画素を駆動するユニットを、2画素分に相当する幅内に配置し、かつ前記ユニットを縦方向に2段に縦積み構造として配置することにより、狭額縁化、低電力化を図っている。液晶パネルを構成するアレイ基板をパターニングする際の加工寸法は、半導体チップのそれと比較して粗く、1画素分の幅では薄膜トランジスタ素子がCMOS構造で一組入るか入らないかぐらいの長さしかない。そのため、素子間をつなぐ配線の引き回し方に制約が生じ、必要以上に配線間のクロス部分が多くなったり、配線部の占める面積が増大する。従って、幅を2倍にして縦積みする方が、結果としてサイズ、電力共に低減することができる。

【0014】その他、本発明による額縁サイズの低減に対する対策としては、1段分のシフトレジスタ回路に対応する一対の正相、逆相出力配線を、シフトレジスタ回路が同時にラッチするユニット全体が占める横方向領域内に一対の割合で縦方向に配線し、各ビットに対応するデータラッチ回路の配置されている縦方向の各位置から、さらに横方向に配線することや、電源線及びアース線を、ユニットの上端又は下端に横方向に配線し、ユニットが、ある一定の数だけ占める横方向領域内に一対の

割合で縦方向に配線し、ユニットを構成するインバータ素子等の配置されている縦方向の各位置から、さらに横方向に配線すること等が効果的である。

【0015】ここで、シフトレジスタからの出力線の配線方法として本発明の方法を、同じく本発明における2段縦積み構造に適用する場合、不必要なクロス容量や、配線の占有面積をより低減するためには、隣接する複数の画素をそれぞれ駆動する複数のユニットのうち、1段分のシフトレジスタ回路が同時にラッチする複数のユニットは、縦積み構造として上下段にまたがって配置せずに、上段、又は下段のみに隣接して配置することが効果的である。これらの配線方法は基本的に、縦方向の配線を隣り合う複数のユニット間で共有することで、できるだけ少なくし、素子の配置に必要な横方向の領域を確保し、かつ配線そのものの占める面積を低減することをねらいとしている。

【0016】ただし、シフトレジスタからの出力線は、本発明におけるブロック分けを適用する場合、同時にラッチするユニット数は、ただかRGBに対応する3画素分のみなので横方向配線幅が小さくても信号の遅延は問題にならないのに対し、電源線の場合は一対の縦方向配線に割り当てる横方向の領域幅に明確な制限はないが、あまり領域幅を大きくとりすぎると、横方向配線の負荷の増大に伴う信号遅延が問題となり、横方向配線幅を大きくする必要がある。逆にクロス容量や配線占有面積の増大を招くので、横方向の領域幅を最適な値に設定する必要がある。

【0017】以上のように水平走査回路の配置構成、及び配線の配置構成に工夫を施すことによって、高い表示品位を保ったまま、パネル領域サイズを最小限に抑制し、かつ低消費電力の駆動回路一体型液晶表示素子を実現することができる。

【0018】

【発明の実施の形態】（実施の形態1）はじめに駆動回路一体型アクティブマトリクス液晶素子を構成する、アレイ基板上の画素及び回路構成を図1を用いて説明する。アクティブマトリクスアレイガラス基板1には、図1に示すように、表示部2と、その周辺に配置される駆動回路部として垂直走査回路部3、及び水平走査回路部4とが設けられている。

【0019】表示部2には、複数のソースライン5（画像信号線）とゲートライン6とが互いに直交するように設けられている。また、ソースライン5とゲートライン6との各交差部に対応して、透明画素電極7、画素トランジスタ8が設けられている。

【0020】上記画素トランジスタ8のソース電極8aは、ソースライン5に接続され、ゲート電極8bは、ゲートライン6に接続されている。透明画素電極7と透明対向電極9との間には液晶層10が存在する。

【0021】素子の実際の構造としては、表示部2にお

ける液晶層10と透明対向電極9を除く部分、水平走査回路1、及び垂直走査回路部3が同一の基板1上に形成されており、透明対向電極9は液晶層10をはさんで対向する対向基板（図示せず）上に形成されている。

【0022】また、画素トランジスタ8のドレイン電極8cは、透明画素電極7に接続されている。

【0023】なお、表示画質の向上を図るために、透明画素電極7および透明対向電極9と並列に容量素子等（図示せず）を設けたり、各透明画素電極7と、隣り合う画素のゲートライン8との間に容量（図示せず）を持たせたりしてもよい。

【0024】垂直走査回路部3には、垂直方向シフトレジスタ3a、パルスバッファ3bが設けられている。垂直方向シフトレジスタ3aは、1垂直走査期間ごとに1回入力される垂直同期信号Vsyncのパルスを、垂直クロックでもある水平同期信号Hsyncに同期して順次シフトし、タイミング信号として、パルスバッファ3bに出力する。

【0025】パルスバッファ3bは、上記タイミング信号に応じて、駆動パルスを各ゲートライン6に順次出力し、各水平走査ラインごとの画素トランジスタ8をオン状態にするようになっている。水平走査回路部4には水平方向シフトレジスタ4a、ラッチ回路4b、D/Aコンバータ4cが設けられている。水平方向シフトレジスタ4aは、1水平走査期間ごとに1回入力される水平同期信号Hsyncのパルスを水平クロックHckに同期して順次シフトし、タイミング信号としてラッチ回路4bに出力する。

【0026】ラッチ回路4bは、水平方向シフトレジスタ4aからのタイミング信号に応じて、1水平走査ライン分の各画素ごとの表示画像データを保持するようになっている。

【0027】D/Aコンバータ4cは、ラッチ回路4bに保持されているデジタル信号（表示画像データ）に応じたアナログソース電圧（例えば0～6V）をソースライン5に出力し、透明画素電極7と透明対向電極9との間に所定の電荷を蓄積するようになっている。

【0028】以上が、アレイ基板上の画素及び回路構成の説明であり、以下、図2に実施の形態1の構成、及び配置方法を示す。図2は、アレイ基板上の表示部2と水平走査回路部4をブロック分けした際の、水平走査回路部4及び、データ配線の配置構成を示した説明図である。

【0029】図2は、データ線分割数を4分割とした場合の例を示しており、水平走査回路部4が、4つの水平走査回路ブロック11に分割されている。水平走査回路部4に入力される各種信号は、外部回路からバスフレキシブル12を通じて各水平走査回路ブロック11に対応する接続パッド13を介し、縦方向配線群14へと送られる。

【0030】さらに、水平走査回路を構成する各素子に

必要となる信号が、横方向配線により供給される。横方向配線については、図中には横方向電源線15、横方向アース線16、横方向データ信号線17のみ示しており、その他の信号線は省略している。また、縦方向配線群の中には、図中で区別はしていないが、データ信号線を含む、水平走査回路ブロック11を駆動するために必要となる全ての信号線が含まれている。1つの水平走査回路ブロック11に供給されるデータ信号線の本数は、6ビット×3RGBで計18本であり、本実施の形態によれば、データ分割を行っても、データ分割を行わない場合と同等のデータ線本数に相当する分しか、額縁幅及びクロス容量値に影響しないことがわかる。この結果、額縁幅及び消費電力を低減することができる。

【0031】(実施の形態2) 本実施の形態は、図3に示すように1画素に対応する水平走査回路の単位での配線及び走査回路の配置方法に関するものである。図3において、水平走査回路を、水平方向シフトレジスタ回路ユニット18と水平走査回路ユニット19とに分けて示している。

【0032】ここで水平走査回路ユニット19は、シフトレジスタ回路を除いた水平走査回路のうち、1画素を駆動する回路構成要素の組み合わせを示しており、ラッチ回路及びD/Aコンバータ回路から構成されている。水平走査回路ユニット19は、2画素の幅内に1つの割合で配置しており、かつ縦方向に2画素分縦積みして配置している。

【0033】従ってトータルとして12画素の幅内に、12個の水平走査回路ユニット19が配置されることになる。このようにすることによって、水平走査回路ユニット19を構成する素子及び、素子間を接続する配線の配置に対する制約が軽減されるので、必要以上に配線間のクロス部分が多くなったり、配線部の占める面積が増大したりすることがなくなり、結果としてサイズ、電力共に低減することができる。

【0034】なお、1段分の水平方向シフトレジスタ回路ユニット18に対して3画素分を同時ラッチするため、1段分の水平方向シフトレジスタ回路ユニット18は、3画素の幅内に配置すればよく、比較的十分な素子及び配線の配置自由度が与えられている。一方、水平方向シフトレジスタ回路ユニット18から出力される縦方向シフトレジスタ出力線20は、水平走査回路ユニット19を配置する際の、横方向に対する制約となる。

【0035】従って1個の水平走査回路ユニット19に対して1対の縦方向シフトレジスタ出力線20を配置するのではなく、図3に示すように3個の水平走査回路ユニット19に対して1対の割合で縦方向に配線し、そこからさらに各ビットに対応するラッチ回路に信号を供給するために、横方向シフトレジスタ出力線21を配置することにより、水平走査回路ユニット19を配置する際の、画素幅方向に対する領域的な制約が軽減され、結果

としてサイズ、電力共に低減することができる。

【0036】一方、本実施の形態において、電源線及びアース線は、図3に示すように横方向電源線15及び横方向アース線16を最上端に配置し、そこから縦方向電源線22及び縦方向アース線23を配置し、そこからさらに横方向に配線する(図示せず)ことにより、水平走査回路ユニット19を構成する各インバータ素子等に電源を供給するという構成をとっている。

【0037】ただし、シフトレジスタからの出力線に関しては、実施の形態1に記載のようなブロック分けを適用する場合、同時にラッチするユニット水平走査回路ユニット19の数は、たかだかRGBに対応する3画素分のみなので横方向シフトレジスタ出力線21の配線幅が小さくても信号の遅延は問題にならないのに対し、電源線の場合は1対の縦方向電源線22及び縦方向アース線23に割り当てる横方向の領域幅に明確な制限はないが、あまり領域幅を大きくとりすぎると、横方向配線(図示せず)の負荷の増大に伴う信号遅延が問題となり、横方向配線幅を大きくとる必要が生じ、逆にクロス容量や配線占有面積の増大を招くので、横方向の領域幅を最適な値に設定する必要がある。

【0038】本実施の形態においては12画素分に対応する領域幅に1対の割合で、縦方向電源線22及び縦方向アース線23を配置した例を示しており、これを1つのレイアウト上の構造単位とし、この構造単位を横方向に隣接して配置することによって、実施の形態1に記載のような水平走査回路ブロック11を構成する。ここで、12画素分に対応する領域幅に1対の割合で、縦方向電源線22及び縦方向アース線23を配置しているが、6の整数倍の値、すなわち6、12、18、24等の値をとった方が、レイアウト上の構造単位とするためには望ましい。これは、図3に示すとおり、水平方向シフトレジスタ回路ユニット18が同時にラッチする水平走査回路ユニット19の数は3個であり、これが上段、または下段に隣接して配置しているので、 $2 \times 3 = 6$ 個が、水平方向シフトレジスタ回路ユニット18からの制約のみを考慮した際のレイアウト上の構造単位を構成する。

【0039】従って縦方向電源線22及び縦方向アース線23をさらに考慮した場合、6個を最小単位として、6の整数倍の個数分の水平走査回路ユニット19でレイアウト上の構造単位を構成することが配置上最も簡易であり、望ましい構成となる。

【0040】さらに、このレイアウト上の構造単位を整数倍の個数分繰り返し隣接して配置することにより、1個の水平走査回路ブロック11を構成できれば配置上最も簡易であるため、逆にこのような構成が可能となるように、レイアウト上の構造単位を構成する水平走査回路ユニット19の数を決めることが、全体の構成を簡易にするためには効果的である。

【0041】なお、本実施の形態における横方向シフトレジスタ出力線21の配線方法を、同じく本実施の形態における水平走査回路ユニット19の縦積み構造に適用する場合、図3に示すように、隣接する複数の画素をそれぞれ駆動する複数の水平走査回路ユニット19のうち、1段分の水平方向シフトレジスタ回路ユニット18が同時にラッチする3個の水平走査回路ユニット19は、縦積み構造として上下段にまたがって配置せずに、上段、または下段のみに隣接して配置することにより、 unnecessary 配線間のクロス容量や、配線の占有面積が低減される。

【0042】以上のように水平走査回路の配置構成、及び配線の配置構成に工夫を施すことによって、高い表示品位を保ったまま、パネル額縁サイズを最小限に抑制し、かつ低消費電力の駆動回路一体型液晶表示素子を実現することができる。

【0043】

【発明の効果】本発明は、以上説明したような形態で実施され、以下に記載されるような効果を奏する。すなわち、駆動回路一体型液晶表示素子における水平走査回路の配置構成、及び配線の配置構成に工夫を施すことにより、高い表示品位を保ったまま、パネル額縁サイズを最小限に抑制し、かつ低消費電力の駆動回路一体型液晶表示素子を実現することができる。

【図面の簡単な説明】

【図1】アレイガラス基板1上に形成された画素及び回路構成を示す図

【図2】水平走査回路部4及び、データ配線の配置構成を示す図

【図3】水平走査回路ユニット17の具体的な配置構成を示す図

【符号の説明】

- 1 アクティブマトリクスアレイガラス基板
- 2 表示部
- 3 垂直走査回路部
- 3a 垂直方向シフトレジスタ
- 3b パルスバッファ
- 4 水平走査回路部
- 4a 水平方向シフトレジスタ
- 4b ラッチ回路
- 4c D/Aコンバータ回路
- 5 ソースライン
- 6 ゲートライン
- 7 透明画素電極
- 8 画素トランジスタ
- 8a ソース電極
- 8b ゲート電極
- 8c ドレイン電極
- 9 透明対向電極
- 10 液晶
- 11 水平走査回路ブロック
- 12 バスフレキ
- 13 接続パッド
- 14 縦方向配線群
- 15 横方向電源線
- 16 横方向アース線
- 17 横方向データ信号線
- 18 水平方向シフトレジスタ回路ユニット
- 19 水平走査回路ユニット
- 20 縦方向シフトレジスタ出力線
- 21 横方向シフトレジスタ出力線
- 22 縦方向電源線
- 23 縦方向アース線

フロントページの続き

Fターム(参考) 2H093 NA16 NA22 NA43 NA51 NC13
NC22 NC23 NC26 NC34 ND39
ND42 NE03 NE10
5C006 AA16 AC11 AC24 AF43 AF83
BB16 BC02 BC12 BF03 BF04
FA41
5C080 AA10 BB05 DD22 EE29 FF11
JJ02 JJ06

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

07180968 **Image available**

ACTIVE MATRIX LIQUID CRYSTAL DISPLAY ELEMENT

PUB. NO.: 2002-049359 [JP 2002049359 A]

PUBLISHED: February 15, 2002 (20020215)

INVENTOR(s): OKADA TAKASHI

 NISHITANI MIKHIKO

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD

APPL. NO.: 2000-234437 [JP 2000234437]

FILED: August 02, 2000 (20000802)

INTL CLASS: G09G-003/36; G02F-001/133; G09G-003/20

ABSTRACT

PROBLEM TO BE SOLVED: To realize a driving circuit-integrated type liquid crystal display element whose panel frame size is suppressed to the minimum while holding high display quality and also whose power consumption is low in a driving circuit-integrated type liquid crystal display panel.

SOLUTION: In this display element, a horizontal scanning circuit is made to be blocks of a number equivalent to the number of the division of data lines and data signals are inputted independently for every block.

COPYRIGHT: (C)2002,JPO

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

17642277

Basic Patent (No,Kind,Date): JP 2002049359 A2 20020215 <No. of Patents: 001>

ACTIVE MATRIX LIQUID CRYSTAL DISPLAY ELEMENT (English)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): OKADA TAKASHI; NISHITANI MIKIHICO

IPC: *G09G-003/36; G02F-001/133; G09G-003/20

Derwent WPI Acc No: G 02-398581

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2002049359	A2	20020215	JP 2000234437	A	20000802

(BASIC)

Priority Data (No,Kind,Date):

JP 2000234437 A 20000802